

vol. 2012-3

Mech D & A News

Mechanical Design & Analysis Co.

June 2012



Český Krumlov, 2009年7月

【特集】 高密度・複合構造を有する半導体パッケージの
信頼性解析における諸問題と大規模解析への期待

*FEM Consulting Services for Engineering Practice
Find Innovation in Tradition 2008-2019*

高密度・複合構造を有する半導体パッケージの 信頼性解析における諸問題と大規模解析への期待*

芝浦工業大学 荻谷 義治

【1】はじめに

近年、半導体パッケージの信頼性解析には FEM が活用されるようになってきている。しかし、半導体パッケージは、金属、樹脂およびセラミックスなど様々な材料で構成される複雑な微細構造を有し、また、その信頼性解析は、微細複雑構造に対して、製造プロセスから完成後の挙動に至る複数物理領域の現象を解くことが求められる。そのため FEM の適用に関しては、様々な材料の構成式および微細構造を再現する解析規模の問題などから容易ではなく、現時点では簡略構造による解析に留まっており、詳細構造の解析は困難を極めている。近年、数百ギガからテラフロップスレベルの能力を有するワークステーションを容易に構築することが可能となっていることから並列処理を用いた大規模解析の活用がその解決策として期待される。本稿では、半導体パッケージの信頼性解析における材料や解析モデルなどの諸問題について取り上げ、その解決に対する大規模解析活用や、コンピュータ技術の発展に伴う研究室レベルでの大規模解析に関する今後の展望などを述べる。

【2】半導体パッケージ開発と CAE

近年の Si 半導体デバイスの性能向上は目覚ましく、最近の工業技術はこの半導体デバイスに頼るところが大きい。Si 半導体の高性能化は、フォトリソグラフィをはじめとする微細加工技術の発展によりなしえ、最新の配線ピッチは数十ナノメートルまで微細化し、Si ダイのトランジスタ数は数億を超えるまでに至っている。このような高密度化した半導体の性能を発揮させるためには、Si ダイから外部へ配線するための技術が不可欠である。しかし、現時点では、Si ダイのピッチと外部配線への接続ピッチは、最小でも 50 ミクロン程度であり、1000 倍程度の開きがある。この外部接続のピッチをいかに内部の配線ピッチに近づけることが出来るかが性能向上の鍵を握る。

この外部配線への接続を構成するのがパッケージングと言われる技術で、極めて複雑なものとなっている。このパッケージは、図に示すような構造を有し、様々な材料が、微細加工を施され用いられている。高密度に集積した半導体では、動作に伴う発熱の問題、また製造工程における熱変形の問題が避けられないため、材料、構造ともに様々な信頼性技術の課題が存在する。このような技術課題を解決するには、実験によるデータ構築とそれに基づく信頼性設計が必要であるが、材料単体の性能のみならず、完成した状態での挙動解析が必要であるため、現実的には不可能に近い。特に、各材料は、微細に加工された状態で使用されるため、その特性解析や力学的信頼は実験的に計測するのが困難であり、また、完成した状態での計測はパッケージ内部になると不可能である。さらに、半導体メーカー以外の材料供給メーカーはパッケージの状態を再現した試験片を作成することは、困難であり、事実上不可能である。

このような背景から、半導体パッケージの開発にはコンピュータシミュレーション活用に期待がかかる。しかし、半導体パッケージのシミュレーションは、複雑な構造を再現するための大規模モデルと、それを構成する材料の構成方程式構築の困難さ、また他分野に渡る解析技術のため容易ではない。この半導体パッケージのシミュレーションにおけるキーワードが、マルチスケール、マルチフィジックスおよび大規模解析である。

【3】半導体パッケージの構造と材料

まず、半導体パッケージの構造と主な材料を見て行く。CPU (Central Processing Unit) や GPU (Graphics Processing Unit) などの高密度パッケージは大きく見ると、図 1 のような構造をしており、半導体である Si ダイ、セラミックや樹脂材料のパッケージ基板、Si と基板を接続 (1 次実装) するはんだや Au などの接合材料、アンダーフィルなどの封止樹脂、マザーボードへの接続 (2 次実装) に用いるはんだ合金、また動作に伴う熱を逃がすヒートスプレッド、ヒートシンクなどで構成される。さらに細かく見れば、基板内部の配線、1 次実装バンプと Si ダイの配線や絶縁層など極め

*本稿は 2011 年 7 月に東京において開催された Mechanical Design 2011, 第 4 回株式会社メカニカルデザインユーザ会における基調講演を取りまとめたものです。講演をいただいた皆様、また御参加の皆様のお引き立てに改めて御礼を申し上げます。

て微細な構造が存在する。表 1 にパッケージに用いられる主な材料を示す。これらの様々な材料に対して、構成式を構築する必要があり、その文献調査や計測実験は困難を極める。特に、簡単にはバルク材が入手できないものや、バルクの特性和実際に使用される状態が製造プロセスの違いにより異なるなど、材料物性の取得には困難を極める。このような困難さから、すべての材料の特性が得られないため、入手可能なもので代用する、また、モデル規模の問題とも関連するが、ある程度材料を省略したモデルが運用上は用いられることになる。実験上、特性の取得が出来ないもしくは困難なものに関しては、FEM による数値材料試験が期待される（後述する）。

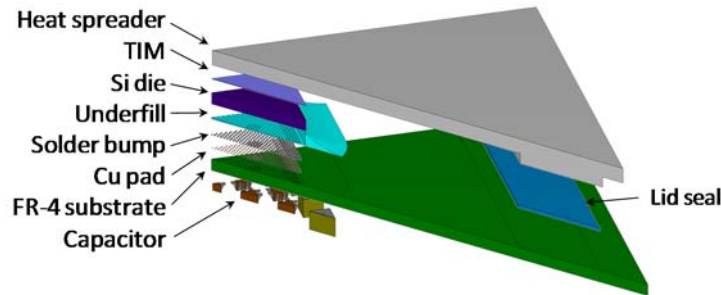


図 1 高密度半導体パッケージの構造の模式図

表 2 半導体パッケージに使用される主な材料と解析上必要な特性

	材料	必要な特性
半導体	Si	弾性特性, 熱的特性, 電気特性
配線材料	Cu, Al	熱, 電気, 非弾性特性, 拡散
電極周辺材料	Low-k, UBM, その他ポリマーなど絶縁材	弾性特性, 粘弾性, 熱的特性
基板	エポキシ樹脂とグラスファイバーの複合材	粘弾性, 熱的特性
接続材料	Au, Sn 合金, Al, 接着剤	クリープ, 弾塑性, 粘弾性, 熱的特性
封止樹脂	エポキシ樹脂などポリマー	粘弾性, 熱的特性
その他	ヒートスプレッドなどの金属	熱的特性, 弾性特性

【4】 予想される力学的問題と材料の構成式

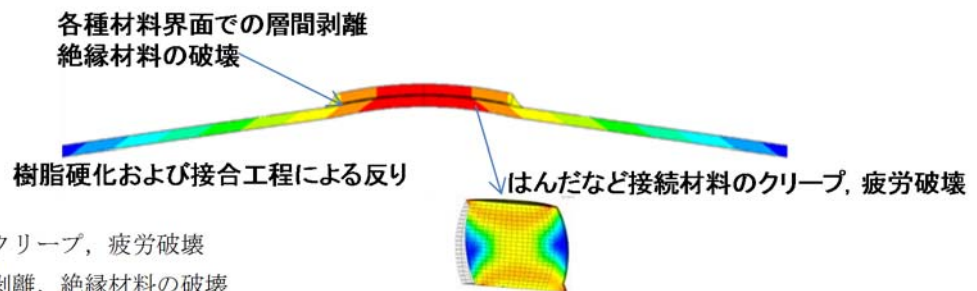
4.1 力学的問題が予想される状況

上述のような構造で何を解析するか簡単に紹介する。力学的の問題が生じる製造工程および運転状態として、以下のようなものがある。

接合工程：1次, 2次実装の加熱工程 (250°C), 樹脂の硬化工程 (150°C)

運転状態：温度サイクル (-40°C~125°C: 加速条件), 落下衝撃

このような条件で、各材料の熱膨張係数の差から様々な応力が生じることになり、信頼性上の問題が発生する。これらの問題をシミュレーションで解析しなければならない。予想される代表的な問題としては、図 2 に示すようなものがある。



- ・ はんだなど接続材料のクリープ, 疲労破壊
- ・ 各種材料界面での層間剥離, 絶縁材料の破壊
- ・ 樹脂硬化および接合工程による反り, 樹脂材料の吸湿による

図 2 予想される代表的な問題

4.2 材料構成式

4.2.1 はんだ材料

これらの問題を解析するには、表 2 に挙げたような様々な材料に関する構成式が必要である。では、解析にどのような構成式が使用され、それぞれどのような問題点を抱えているか、いくつかの材料について述べる。構成式が問題となる金属材料としては、まず、はんだが挙げられる。はんだは、融点が 200°C 付近で金属材料としては、低融点であり、使用条件の範囲では常にクリープが問題となる。そのため、構成式としては、クリープの構成式を用いることになる。はんだ材で使用される構成式としては、以下のようなものが良く使用されている。

- 弾塑性 : Ramberg-Osgood , 2 直線硬化, Ohno-Wang モデル (クリープ挙動含む)
- クリープ : Norton 則 (Power Law), Garaofalo モデル (双曲線近似)
- 粘塑性 : Anand モデル

運転状態では、疲労環境の解析が求められるため、弾塑性挙動に関しては、移動硬化則が必要となる。これらの構成式は、はんだ材料単体の試験片を用いて、材料試験により決定しなければならないが、パッケージング用途では、既存の試験規格では実際のサイズより大きすぎ、特性が異なることがある。特に、弾塑性やクリープは材料の組織に鋭敏な特性のため、実際の接合部と同様の組織である必要がある。このためには、数十～数百ミクロンのサイズの試験片とそれを測定できる試験装置が必要であり、加えて、材料科学に関する基礎知識も必要となるため困難を極める。さらに、実装に用いられるはんだ合金の多くは Sn を主成分としており、微小体積では、単結晶に近い状態となる。結晶異方性を記述できる構成式が必要となるが、Sn の結晶構造の特殊性のため、図 3 のような強い異方性を示し⁽¹⁾、忠実に再現できる構成式は現状では構築されていない。また、接合工程の解析では、融点直下の挙動からの再現が求められる。クリープは図 4 のように温度および応力条件により変形機構と構成式が異なるため、全工程におけるクリープ構成式の構築は、困難である。特に、融点近傍では、拡散クリープが主となるため、その FEM 用構成式は現実には無いと言える。

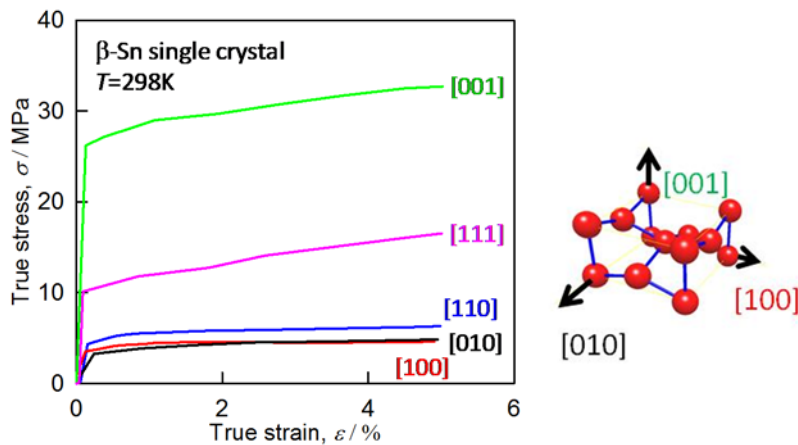


図 3 Sn 単結晶の応力ひずみ曲線⁽¹⁾

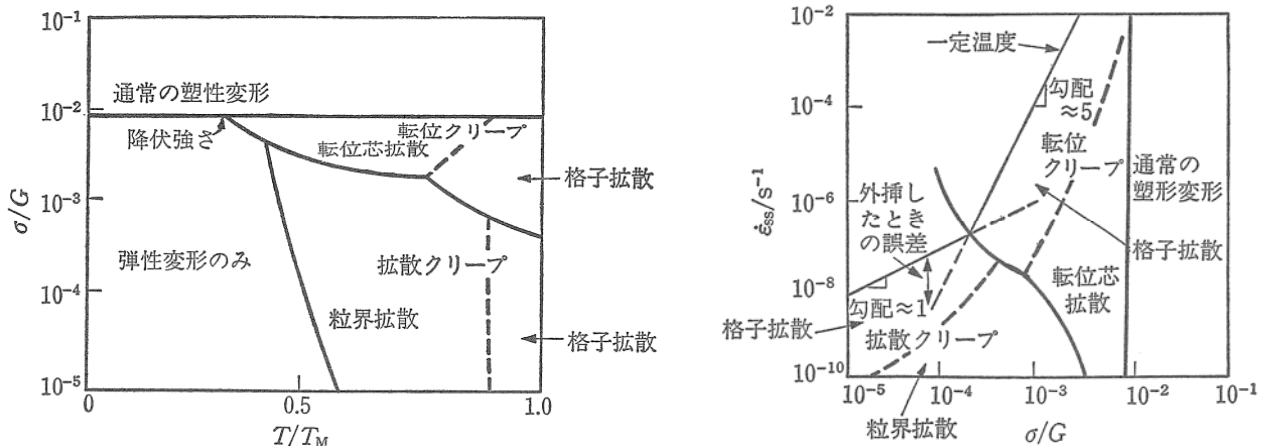


図 4 クリープ変形機構領域⁽²⁾

4.2.2 樹脂材料

アンダーフィルやモールドに代表される樹脂材料では、 T_g が運転環境や製造工程の温度に対して低いため、はんだ同様、温度上昇により時間依存の特性を示す。そのため、解析に際しては、粘弾性特性の構成式が必要となる。現在、Prony級数近似による一般化マクスウェルモデルが用いられるが⁽³⁾、材料定数導出や解析時間の問題などから、現状、粘弾性を考慮した解析は多くは行われていない。また、微小ひずみ域のみならず、大ひずみが生じる箇所もあるため、粘弾性による解析では無理があり、粘塑性などを適用する試みもされているが、正確なシミュレーションは現状困難である。樹脂基板材料では、ガラス繊維が複合されたものが使用される。さらに、Cuの配線が複合されるなど、その構造は微細かつ複雑であるので、正確な力学特性の再現は難しく、大規模解析が必要となる。簡略化する場合（均質化）、力学特性や熱特性に異方性が現れるので、異方性のデータが必要となるが、実験で求めるのは困難が伴うため、FEMによる数値材料試験が期待される。

最近では、接続材料としてはんだの代わりに導電性機能を有する接着剤が使われることがある。その場合、ガラス転移点以上の温度で、はんだ同様、繰り返しの大きなひずみが生じることになるため、ひずみエネルギーや非弾性ひずみの計算をどのようにするか検討しなければならない⁽⁴⁾。さらに、この導電性の接着剤では図5に示すように金属と樹脂の複合材料であるため、異方性の問題や、ミクロスケールにおける破壊の問題などシミュレーションに関する課題は多い。

4.2.3 その他

近年、半導体パッケージングで問題となっているのが Low-k と呼ばれる低誘電率層間絶縁膜の破壊である。Low-k には微細配線間の配線間容量を下げるため、これまで SiO₂が使用されてきたが、より低誘電率の要求から、SiO₂にCをドーピングした材料や、ポーラス材料を使う傾向にある⁽⁵⁾。これらの材料は、脆性的で強度が低いため、近年の鉛フリーはんだ使用による接合工程の高温化によりこの製造工程における Low-k の破壊が問題となっている。このような極めて薄い層（図6参照）の応力解析を実施するとなるとモデル規模が膨大となる。さらに、Low-k層は蒸着などにより形成する極めて薄い層であり、材料の構成式を求める実験が事実上不可能である。大規模解析や、FEMによる数値材料試験による物性解析が期待される。

これら材料構成式の問題とともに近年求められる技術が連成解析である。半導体パッケージの使用環境のシミュレーションでは、Siの発熱を電氣的に解析し、それを熱解析により温度分布を求め、構造解析を実施することが最終的には求められる。大規模モデルを用いた連成解析は困難を極める。大規模モデルを高速に解析できるソルバーの発達が切望される。

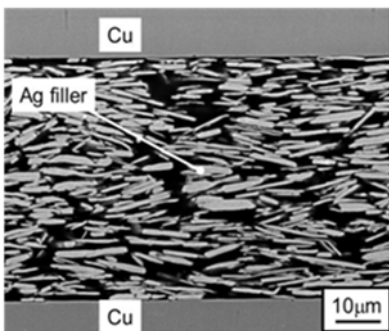


図5 Ag-エポキシ系導電性接着剤の組織写真⁽⁴⁾

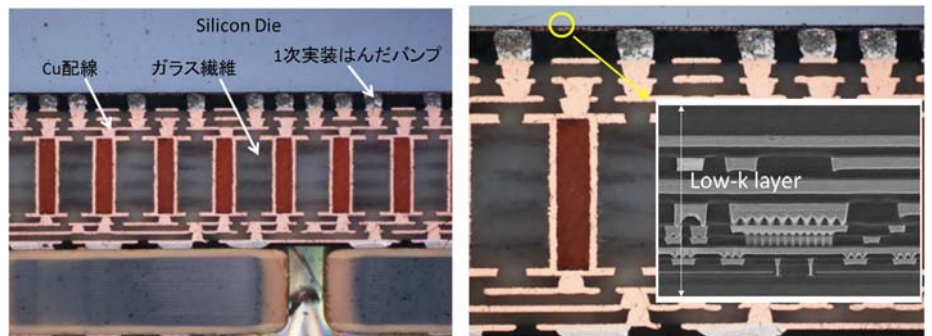


図6 高密度 LSI パッケージの詳細構造

【5】大規模 FEM 解析への期待

5.1 身近になってきた大規模解析

これまで述べてきたように、半導体パッケージのシミュレーションにおける大規模解析への期待は大きい。解析により数千万自由度を超える解析が必要となってきている。図7に半導体パッケージの大規模解析モデルを示す。要素数は3000万で、パッケージ基板内の銅箔やビアなどかなり詳細な構造を再現してある。クリープおよび粘弾性の材料が含

まれたこのようなモデル規模での応力計算は大変困難なものであるが、簡略構造は得られない現象が得られ、大規模解析を行う価値は十分ある。図 8 には、Ag-エポキシ系導電性接着剤の数値材料試験用モデルを示した。現実のフィラー形状を再現すると、図 8 に示すような大規模モデルが必要となる。薄い層で構成され、異方性を有する材料の力学試験は困難であるので、大規模モデルを用いた数値材料試験が期待される。

このような大規模モデルの解析となると、大型計算機が必要というイメージがあるが、コンピュータ技術の発展によりメニーコアの CPU を搭載したワークステーションレベルで実行出来るようになりつつある。

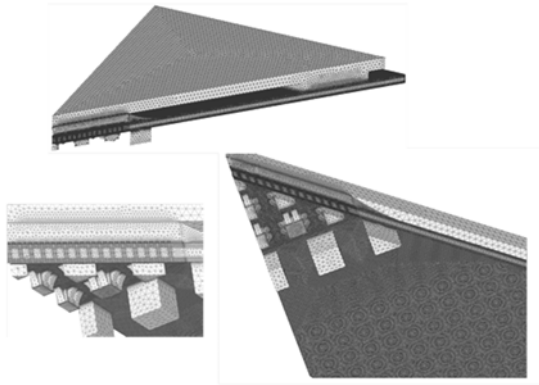


図 7 半導体パッケージの大規模解析モデル
(3000 万要素モデル)

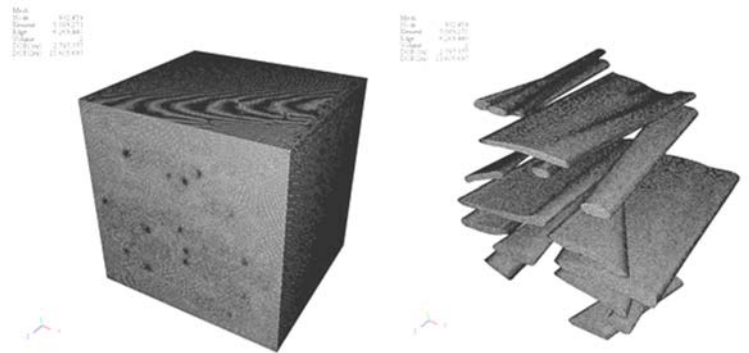


図 8 数値材料試験用大規模解析モデル（導電性接着剤）

5.2 シングルコア CPU からマルチコアそしてメニーコアへ

現在の CPU は、ムーアの法則（集積回路上のトランジスタ数が 18 ヶ月ごとに倍になるというインテル社の共同創業者ゴードン・ムーア氏が示した経験則）に従い、その集積度が著しく向上し（現在の CPU ではシリコンダイあたり 10 億個のトランジスタが実装される）、シリコンダイに複数のコアが実装され、CPU 1 個で数百ギガフロップスの演算能力を有するまでに至っている。高速計算機と言えば、スーパーコンピュータである。その定義は、文部科学省の科学技術・学術審議会により定められており、2000 年の時点では、100GFLOPS 以上の演算性能を持つ計算機を政府調達上のスーパーコンピュータとしている。その後、演算プロセッサの性能向上により、2005 年の段階では米国と協議を行った上で 1.5TFLOPS 以上の演算性能を持つ計算機としている。

この定義から考えると、現在のワークステーションの性能は、2000 年時点のスーパーコンピュータを超えており、数年内には、CPU1 個当たり 100 コアとなり、2005 年時点のスーパーコンピュータを超える。ただし、アムダールの法則により、複数コアによる性能向上は、対象プログラムの並列化できない部分の割合に大きく左右されることが知られている。図 9 にアムダールの法則による性能向上の制限を示す。アムダールの法則では、プログラムの 1/2 が並列実行できない場合、プロセッサ数を無限大に増やしたとしても、理論上の性能向上限界は 2 となる ($1/(F+(1-F)/N)$: 並列化できない部分の実行時間の割合を F, N がプロセッサ数)。メニーコアワークステーションの大規模解析への活用は、ソフトウェアの並列計算への最適化が鍵となる。

5.3 GPU 活用と今後のプロセッサ動向

さらに、最近では、画像データ処理を行う集積回路である GPU (graphics processing units) の科学計算への活用が試みられている。GPU はシェーダプロセッサと呼ばれる多数の演算ユニットを持ち、3 次元演算やマルチメディア処理に効果を発揮するため、シミュレーションの高速化が期待される。この GPU は構成が単純であるために単精度浮動小数点演算での効率がよいが、命令中に条件分岐による分岐が入ると、CPU に比較して効率が極めて悪くなる欠点がある。

GPU の活用にはいかに効率を落とさず条件分岐を行うかというソフトウェア側の最適化が必要である。このため、現時点では FEM を用いた構造計算では、それほど効果的とは言えない。現状、GPU は CPU とは別にボード上に搭載さ

れるが、最近の CPU では、グラフィックス機能が統合されたものが開発されている。科学計算用の CPU は、CPU に GPU が統合された APU (Accelerated Processing Unit) へ進化すると考えられている。この APU におけるマルチコアを使いこなせるソフトウェア側 (ソルバー) の発展が期待される。

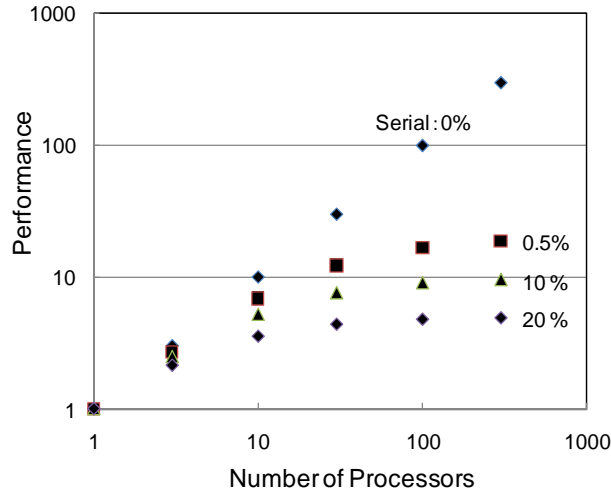
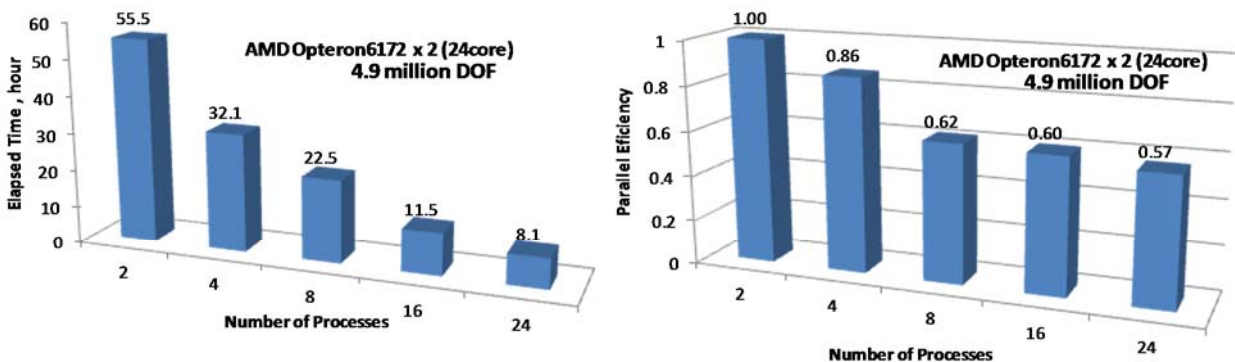


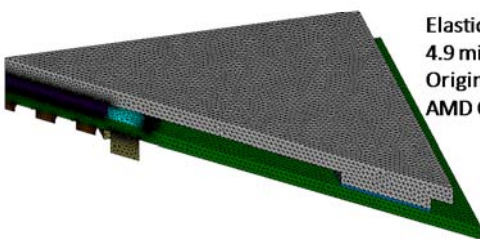
図9 アムダールの法則による性能向上の制約

5.4 ワークステーションによる大規模構造解析の例

以上のように、大規模解析にはハードウェアの性能向上とともに、ソルバーの最適化が不可欠である。すでに汎用の FEM ソルバーでは並列計算や GPU の利用が可能なのがあるが、数十から 100 個のメニーコア CPU を有効に活用できるソルバーとなると限られる。筆者の研究室では幾つかのソルバーを利用しており、その並列計算の現状の実力について紹介する。紹介する解析モデルは、高密度半導体パッケージの熱疲労解析用 1/8 モデルで、パッケージ基板、チップ部品、Cu パッド、1 次実装はんだバンプ、アンダーフィル、Si ダイ、シール材、ヒートスプレッドなどで構成され、節点数は 1,664,066 で、図 7 で紹介したモデルよりは小さいモデルとなる。材料特性は、はんだが弾・クリープ体、



Thermal cycle simulation for LSI Package



Elastic, Creep, Viscoelastic
 4.9 million DOF model
 Original Workstation
 AMD Opteron6172 x 2 (24core), DDR3 64GB



図10 Opteron 6172 (2ソケット, 24コア) による Adventure Cluster の並列計算例

アンダーフィルおよび FR-4 基板が粘弾性体, その他は弾性体とした. 計算機は筆者の研究室所有の Opteron 6172 (12 コア, 2.1GHz) 2 ソケット, 合計 24 コア, マザーボードは Supermicro H8DGi, メモリは DDR3 64GB (1333MHz Reg ECC 8GB ×8)を用い, ソルバーには Adventure Cluster (ver. 4.5) を用いた. 解析条件は, 25°C~125°Cへ 900 秒で昇温し, その後 900 秒保持である. 計算時間と並列効率を図 10 に示す. 弾・クリープ, 粘弾性という複雑な解析条件を持つ 1800 秒の計算が, 24 プロセスでわずか 8 時間で解け, さらに 8, 16, 24 コア, 同数プロセスで並列効率が落ちないことがわかる. 2~3 年以内にワークステーション 1 台当たり 100 コアの時代を迎える. このような CPU の到来と並列計算効率に優れるソルバーとの組み合わせにより, 従来, 大型計算機でなければ不可能であった大規模計算が, 研究室レベルで比較的簡単に実行できるようになる. 大規模解析が身近に活用出来る時代が来ている.

また, ソルバーに限らず, プリプロセッサの並列計算化も期待される. モデル規模が巨大になると, 要素分割に要する時間も膨大であり, これをいかに短縮また省力化できるかが大規模解析活用に重要な要素となる. モデル化が並列により短縮および省力化出来れば, 並列計算のパワーによりモデリングという解析技術者の特殊な経験能力に頼る必要がなくなり, より身近に FEM を利用出来るようになると考えられる. 高速並列計算の技術は, より短時間に計算出来ることにより省電力への貢献も大きく, メニーコア CPU もしくは APU を搭載したワークステーションを用いた大規模解析への期待は大きいと言える.

【6】最後に

FEM による半導体パッケージの構造解析に関して大規模解析という観点から問題点などを紹介してきた. 半導体パッケージは微細で複雑な構造を有するが故, 実験計測が困難であり, FEM を用いた信頼性解析は必要不可欠である. しかし, 各材料の構成式導出や解析モデル規模など問題は多い. これを解決する手段として大規模解析が期待される. この大規模解析が容易に実施可能となれば, 製品状態における各材料の挙動を事前に把握できるため, 最適な材料の開発への応用展開が可能となる. 材料開発こそ, 大規模 FEM の活用が有効ではないかと考えている.

参考文献

- (1) 小田切 啓,山田 彩織, 荻谷 義治, 第 147 回日本金属学会秋期大会, 2010.
- (2) 堀内, 金子, 大塚, 材料工学入門, 内田老鶴圃, p.208.
- (3) Y. Kanda, et. al. , Proc. of the IPACK2009, IPACK2009-89152, 2009.
- (4) Y. Kariya, et.al. , Materials Transactions, Vol. 51, No. 10, pp. 1779 -1784, 2010
- (5) 例えば G. Wang et. al., Microelectronics Reliability 45, pp.1079-1093, 2005.

株式会社 メカニカルデザイン

〒182-0024 東京都調布市布田 1-40-2 アクシス調布 2 階

TEL 042-482-1539 FAX 042-482-5106

E-mail:comm@mech-da.co.jp <http://www.mech-da.co.jp/>